

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)[First Hit](#)

Generate Collection

L8: Entry 1 of 2

File: JPAB

Jun 7, 1996

PUB-NO: JP408147197A

DOCUMENT-IDENTIFIER: JP 08147197 A

TITLE: INFORMATION PROCESSOR FOR STORING FAULT INFORMATION

PUBN-DATE: June 7, 1996

INVENTOR-INFORMATION:

NAME

COUNTRY

NAKAMURA, KENICHI

KAJIYAMA, TAKAMICHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SANYO ELECTRIC CO LTD

APPL-NO: JP06291451

APPL-DATE: November 25, 1994

INT-CL (IPC): G06 F 11/34; G06 F 11/00

ABSTRACT:

PURPOSE: To prevent important fault information from being erased by detecting a fault with a central processing unit(CPU) when that fault is generated during a system operation, storing a fault with the high degree of importance in an NVRAM corresponding to the degree of faults, and storing the contents of the other faults in an external storage device.

CONSTITUTION: When any fault is generated during the operation of a main system, the fault on the side of a main substrate 10 is detected by a CPU 11 and the fault on the side of a channel substrate 20 is detected by a sub CPU 21. Even when any fault is generated at peripheral devices 27 and 28, it is detected by the sub CPU 21. Since no HDD is connected on the side of the channel substrate 20, the sub CPU 21 decides the degree of faults and the importance fault is stored in an NVRAM 24. Besides, the information of generated faults is transferred through communication control equipment 26 to the CPU 11 of the main substrate 10 at all. The CPU 11 selectively stores the information from the channel substrate 20 in an NVRAM 14 and an HDD 16 according to a procedure as well. This fault information is not erased even when a power source switch is turned off.

COPYRIGHT: (C)1996,JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-147197

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/34		H 7313-5B		
11/00	3 3 0 D			

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号	特願平6-291451	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成6年(1994)11月25日	(72) 発明者	中村 賢一 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		(72) 発明者	梶山 高道 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		(74) 代理人	弁理士 安富 耕二

(54) 【発明の名称】 障害情報を記憶する情報処理装置

(57) 【要約】

【目的】 重大な障害が発生した場合その障害の情報を確実に記憶保持し、再起動時に利用可能とした情報処理装置を提供する。

【構成】 揮発性の主記憶装置とは別に、障害情報を記憶する為の読み書き可能な不揮発性のNVRAMを設け、中央処理装置は、システムの運転中に障害を検出するとその種類を判定し、それがシステム運用上重大な障害である場合は、その障害に関する情報をNVRAMに選択的に記憶する。一方、軽微な障害の場合は、その障害情報をハードディスク装置に設けた障害情報ファイルに記憶する。

【特許請求の範囲】

【請求項1】 中央処理装置と、揮発性の主記憶装置と、外部記憶装置とを備え、システム運転中に発生した障害を検出してその内容を前記外部記憶装置に記憶するようにした情報処理装置において、前記主記憶装置とは別に読み書き可能な不揮発性の半導体記憶装置を設け、前記障害発生時に前記中央処理装置は、検出した障害の種類に応じて、その障害の内容を前記不揮発性の半導体記憶装置または前記外部記憶装置に選択的に記憶することを特徴とする障害情報を記憶する情報処理装置。

【請求項2】 前記中央処理装置は、システムの起動時に前記不揮発性の半導体記憶装置に記憶された障害の内容を読み出し、その障害が発生した部分の接続を解除して、縮退状態でシステムを起動することを特徴とする請求項1記載の障害情報を記憶する情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、システム運転中の障害情報を記憶装置に記憶して、保守作業時等に利用できるようにした情報処理装置に関する。

【0002】

【従来の技術】情報処理装置において、システム運転中に障害が発生したとき、実行していたジョブを中断して、その障害の内容を表示画面に表示して使用者に知らせたり、あるいは、その障害の内容を主記憶装置、またはハードディスク等の外部記憶装置に記憶しておいて、再起動時に、保守プログラムによってそれらの情報を読み出し、修理、保守作業の助けとすることが行われている。

【0003】

【発明が解決しようとする課題】ところが、障害が発生した部分や障害の種類、程度によっては、使用者に通知したりあるいはハードディスクに記憶することが不可能な場合がある。また、障害情報を主記憶に記憶した場合にも、再起動の前に電源スイッチを切ってしまう、システムの電源を断ってしまったようなときには、主記憶の情報は失われて、障害が発生した装置やその種類、程度を知ることはできない。また、主記憶の一部を電池によりバックアップし、そこに障害情報を記憶する方法であっても、電池切れによって記憶内容が消失することは避けられない。

【0004】ところで、最近、不揮発性の半導体メモリであるEEPROMの派生機種として、基板に取り付けたままで消去、書き込みの可能なNVRAMが使われ始めている。

【0005】そこで、本発明は、不揮発性メモリを障害情報の記憶手段として用いた新規な情報処理装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、中央処理装置

と、揮発性の主記憶装置と、外部記憶装置とを備え、システム運転中に発生した障害を検出してその内容を前記外部記憶装置に記憶するようにした情報処理装置において、前記主記憶装置とは別に読み書き可能な不揮発性の半導体記憶装置を設け、前記障害発生時に前記中央処理装置は、検出した障害の種類に応じて、その障害の内容を前記不揮発性の半導体記憶装置または前記外部記憶装置に選択的に記憶する構成である。

【0007】また、前記中央処理装置は、システムの起動時に前記不揮発性の半導体記憶装置に記憶された障害の内容を読み出し、その障害が発生した部分の接続を解除して、縮退状態でシステムを起動するようにしている。

【0008】

【作用】本発明は、システムの運転中に障害が発生すると、中央処理装置がそれを検出し、その障害の程度に応じて、重要度の高い障害の内容をNVRAMに記憶し、その他の障害の内容を外部記憶装置に記憶して、重要度の高い障害情報が失われないようにする。

【0009】

【実施例】図2は実施例の情報処理システムの構成を示すブロック図であり、本システムはメイン基板10とチャネル基板20とより成り、チャネル基板20にはさらに周辺装置28、29が接続されている。

【0010】メイン基板10には、中央処理装置（以下、CPUと呼ぶ）11と記憶保持動作が必要な主記憶装置13、及び、記憶保持動作が不要なNVRAM14が搭載されており、それらはバス12によって相互に接続されている。

30 【0011】バス12にはまた、記憶制御装置15が接続されており、外部記憶装置であるハードディスク装置（以下、HDDと呼ぶ）16を制御して、CPU11によるHDD16への読み出し書き込み処理を実行する。バス12にはさらに、通信制御装置17が接続され、通信線18によってチャネル基板20と結ばれている。

【0012】一方、チャネル基板20もメイン基板10と同様な構成であり、バス22を介してサブCPU21と記憶保持動作が必要なメモリ23、及び、記憶保持動作が不要なNVRAM24が相互に接続され、さらに、周辺コントローラ25がバス22に接続されており、サブCPU21の制御の下に周辺装置27、28をドライブする。また、通信制御装置26がバス22と通信線18の間に介在し、これにより、サブCPU21とCPU11は通信が可能であり、サブCPU21はCPU11の制御を受けて動作する構成である。

【0013】次に本実施例の動作を説明する。本システムが運転中に何らかの障害が発生すると、メイン基板10側の障害はCPU11が検出し、チャネル基板20側の障害はサブCPU21がそれを検出する。周辺装置27、28に障害が発生した場合もちろん、サブCPU

21が検出するようになっている。

【0014】ここで図1は、本実施例システムの動作を説明するフローチャートであり、図に示すように、CPUは先ず、障害を検出するとその種類、即ち、障害の内容、程度を判定する。そして、それがシステム運用上重大な障害である場合は、その障害に関する情報をNVRAMに記憶する。

【0015】また、一方、軽微な障害であると判定した場合、及び、前述したように重大な障害情報をNVRAMに記憶した後に、その障害情報をHDD16に設けた障害情報ファイルに記憶すると共に、その障害に関する警告情報を表示することで、使用者に障害の発生を通知する。

【0016】システムはさらに、重大な障害発生時には、その時点で実行中の全ジョブを中断して待機状態に移行してもよい。ところで、チャネル基板20側にはHDDが接続されていないので、サブCPU21は、障害の程度を判定して重大なものはNVRAM24に記憶するが、発生した障害の情報は、すべて通信制御装置26を通してメイン基板10のCPU11に転送するようにしている。そして、CPU11は、チャネル基板20から受け取った障害情報も自己の障害と同じように、前述した手順によりNVRAM14またはHDD16に選択記憶するようにしている。

【0017】このようにNVRAMまたはHDDに記憶した障害情報は、使用者が電源スイッチを切断しても失われることはない。その後、システムを再起動し、CPU11に保守プログラムを導入してNVRAMに記憶された障害情報を読み出すことにより、システムの運用上障害となる重大な欠陥を持った装置が判明する。そこで、CPU11は、それら障害のある装置との接続を解除し、システムの構成を小さくして、即ち、縮退状態にしておいてシステムを起動する。

【0018】例えば、周辺装置27に重大な障害が発生していた場合は、サブCPU21はNVRAM24に記憶された内容からそのことが分かるので、周辺コントローラ25に指令して周辺装置27との接続を禁止する。

【0019】また、サブCPU21自身に重大な障害が

発生していた場合、あるいは、チャネル基板20全体として重大な障害が発生していた場合は、メイン基板10のCPU11が、NVRAM14から読み出した障害情報によってそれを知り得るので、通信制御装置17に指令してチャネル基板20との接続を断ち、メイン基板10のみでシステムを運用できるように起動する。

【0020】しかし、記憶制御装置15や主記憶装置13の障害により、再起動が困難な場合がある。そのときは、外部から導入したシステムプログラムにより縮退モードで立ち上げることによって、不良メモリの情報をNVRAM14から読み出し、その部分を使わないようにシステムの構成を変更して起動すればよい。

【0021】

【発明の効果】本発明によれば、重大な障害が発生したときその情報を不揮発性の記憶手段に記憶するので、システムの電源が断たれた場合にもその情報が保持される。そして、半導体メモリに比べて障害発生率の高いハードディスクに依存しないので、システムの信頼性が著しく向上する。

【0022】また、記憶した障害情報を利用して保守、修理作業を効率よく行うことができるし、さらに、障害のある部分を切り離して縮退状態で再起動することができるので、障害に対して強いシステムを構築できる。

【図面の簡単な説明】

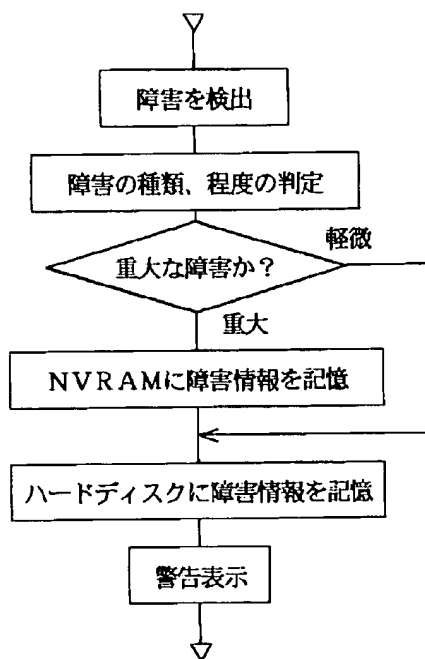
【図1】 実施例の動作手順を示すフローチャートである。

【図2】 実施例の構成を示すブロック図である。

【符号の説明】

- 10 メイン基板
- 11 中央処理装置
- 13 主記憶装置
- 14 NVRAM
- 17 ハードディスク装置
- 20 チャネル基板
- 21 サブCPU
- 23 メモリ
- 24 NVRAM

【図1】



【図2】

